

5463384

Basic Patent (No,Kind,Date): JP 61052631 A2 860315 <No. of Patents: 002>

ACTIVE MATRIX DISPLAY DEVICE (English)

Patent Assignee: SEIKO INSTR & ELECTRONICS

Author (Inventor): YAMAZAKI TSUNEO

IPC: *G02F-001/133; G02F-001/133; G09G-003/20; G09G-003/36

JAPIO Reference No: *100212P000155;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 61052631	A2	860315	JP 84174465	A	840822	(BASIC)
JP 92031371	B4	920526	JP 84174465	A	840822	

Priority Data (No,Kind,Date):

JP 84174465 A 840822

?

01838531 **Image available**
ACTIVE MATRIX DISPLAY DEVICE

PUB. NO.: **61-052631** [JP 61052631 A]
PUBLISHED: March 15, 1986 (19860315)
INVENTOR(s): YAMAZAKI TSUNEO
APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 59-174465 [JP 84174465]
FILED: August 22, 1984 (19840822)
INTL CLASS: [4] G02F-001/133; G02F-001/133; G09G-003/20; G09G-003/36
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS)
JOURNAL: Section: P, Section No. 480, Vol. 10, No. 212, Pg. 155, July
24, 1986 (19860724)

ABSTRACT

PURPOSE: To decrease remarkably a clock frequency by dividing a video signal driving circuits into plural circuits.

CONSTITUTION: An active matrix array 2, a gate line driving circuit 3 for driving a gate line, and drain line driving circuits 4, 5 and 6 are formed in an active matrix liquid crystal display device 1. In this state, the driving circuit 3 scans successively the gate line in the vertical direction by synchronizing with a C-clock signal, and a D-clock signal and V_{v1}, V_{v2} and V_{v3} being video signals are applied to the driving circuits 4, 5, respectively. The driving circuits 4, 5 and 6 drive a drain line of 1/3 of one picture, respectively, therefore, the frequency of the D-clock signal is about 1/3 better than the case when one scanning line is scanned by only one shift register. Accordingly, the clock frequency can be decreased remarkably.

⑪ 公開特許公報 (A) 昭61-52631

⑤Int.Cl.⁴
G 02 F 1/133
G 09 G 3/20
3/36

識別記号 129
118
7348-2H
D-8205-2H
7436-5C
7436-5C

⑩公開 昭和61年(1986)3月15日

審査請求 未請求 発明の数 1 (全4頁)

⑥発明の名称 アクティブマトリクス表示装置

⑦特 願 昭59-174465

⑧出 願 昭59(1984)8月22日

⑨発明者 山崎 恒夫 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
 ⑩出願人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
 会社
 ⑪代理人 弁理士 最上務

明細書

トロクロミックなどのアクティブマトリクス表示装置に関する。

〔従来の技術〕

従来、第2図の回路図で示す様な、透明絶縁基板上に、薄膜トランジスタを各画素毎にスイッチング素子として設けたアクティブマトリクス液晶表示装置が知られている。第2図において、アクティブマトリクス液晶表示装置13は、薄膜トランジスタからなるアクティブマトリクスアレイ14を有する。駆動回路としては、ゲートラインを駆動するゲートライン駆動回路15、ドラインラインを駆動するドラインライン駆動回路16とかなる。ドラインライン駆動回路16はサンプルホールド回路17とシフトレジスタ18を有する。一走査線に当たる映像信号はシフトレジスタ18によって、順次サンプルホールド回路17に書き込まれ、保持される。ゲートライン駆動回路15はゲートラインを縦方向に順次走査して、一行づつ映像信号を書き込む。アクティブマトリクスアレイ14の構造は第3図の等価回路図で示す。各

1. 発明の名称

アクティブマトリクス表示装置

2. 特許請求の範囲

薄膜トランジスタからなる駆動回路を内蔵し、各画素毎にスイッチング素子を設けたアクティブマトリクス表示装置に於いて、ドラインラインの駆動回路は、N個の複数の並列に動作する駆動回路からなり、上記の各シフトレジスタが1/Nに分割された画面の領域のドラインラインを駆動することを特徴とするアクティブマトリクス表示装置

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、駆動回路を内蔵した、液晶、エレク

画素は、薄膜トランジスタ19、映像信号保持用コンデンサー20と液晶セル21からなり、縦方向にはドレインラインY1、横方向には、ゲートラインX1に接続されており、アレイ状に配置されている。ゲートラインX1がオンの状態では、映像信号はドレインラインY1、Y1+1等を介して映像信号保持用コンデンサー20に書き込まれ、ゲートラインX1がオフになった後も電圧を保持し、次の映像信号が印加されるまで、液晶セル21に電圧を印加し続ける。このようにして、液晶セル21はスクリーニング動作が可能なので、従来のマトリクス液晶表示装置と比べると、高コントラスト、広い視角など高品質の表示が可能になる。

〔発明が解決しようとする問題点〕

しかし、従来のアクティブマトリクス表示装置で、例えばタテXヨコ=240×240程度のマトリクス状の画素を用いてフレーム周波数60HzのTV画像の表示をする場合、ドレインライン駆動回路のクロック周波数は1~4MHzとなる。

の場合、N=10、即ち、駆動回路を10分割すれば、実際には400KHzのクロック周波数で良いことになる)動作速度の遅い薄膜トランジスタでも、スイッチング素子を設けたのと同じ基板上に、駆動回路を集積化することが出来るようになる。

〔実施例〕

以下に、この発明の実施例を図面にもとづいて説明する。第1図において、アクティブマトリクス液晶表示装置1には、薄膜トランジスタからなる、第3図で示すアクティブマトリクスアレイ2、ゲートラインを駆動するゲートライン駆動回路3とドレインラインを駆動する3個のドレインライン駆動回路4、5、6が形成されている。ゲートライン駆動回路3はG-クロック信号に同期して、ゲートラインを縦方向に順次走査する。ドレインライン駆動回路4、5、6には、D-クロック信号と、映像信号であるVv1、Vv2、Vv3がそれぞれ加えられる。ドレインライン駆動回路4、5、6は、それぞれ1画面の1/3のドレインラ

イントを駆動する。D-クロック信号のクロック周波数は唯一つのシフトレジスタで1走査線を走査する場合と比べ1/3でよい。

これでは、薄膜トランジスタで実現出来る駆動回路の動作速度は、100KHz程度と遅いため、駆動回路をアクティブマトリクス表示装置と同じ基板上に設けることは困難である。このため、外部駆動回路と接続するには、数百ヶ所でワイヤーボンドなどを行わなければならない欠点があった。

そこで、この発明は従来のこのような欠点を解決するため、動作速度が遅い薄膜トランジスタを用いても実現可能な、駆動回路を内蔵したアクティブマトリクス表示装置を得ることを目的としている。

〔問題点を解決するための手段〕

上記問題点を解決するために、この発明は、映像信号の駆動回路をN個の複数に分割し、分割した各駆動回路を同時に並列に動作させるようにした。

〔作用〕

上記のように、駆動回路を分割することにより、駆動回路のクロック周波数は1/Nとなり、(例えば4MHzのクロック周波数が必要な駆動回路

の場合は、N=10、即ち、駆動回路を10分割すれば、実際には400KHzのクロック周波数で良いことになる)動作速度の遅い薄膜トランジスタでも、スイッチング素子を設けたのと同じ基板上に、駆動回路を集積化することが出来るようになる。

アクティブマトリクス液晶表示装置1の外部駆動回路の一例は第2図に示す如くシフトレジスタ7、サンプルホールド回路8、サンプルホールド回路9、シフトレジスタ10、11、12などからなる。映像信号はシフトレジスタ7により順次サンプルホールド回路8に書き込まれ保持される。次の走査線の走査が始まると、サンプルホールド回路8に書き込まれていた映像信号はサンプルホールド回路9に移される。サンプルホールド回路9に保持された映像信号はシフトレジスタ10、11、12によって一走査線の1/3づつに分かれられてD-クロック信号と同期してドレインライン駆動回路4、5、6に書き込まれる。ドレインライン駆動回路4、5、6は、それぞれ同時に、並列して、画面の3分割された領域のドレインラインを駆動する。

以上の説明ではアクティブマトリクス液晶表示

装置1のドレインライン駆動回路は3個に分割した場合を示したが、例えば分割数を10にすればクロック周波数は更に減って1/10になる。この場合のアクティブマトリクス液晶表示装置1への入力信号数の増加は、3分割と比べると、D-クロック信号は全てのドレインライン駆動回路に共通しているので増加せず、映像信号線の増加の高々7本にすぎない。

以上の説明では単位表示要素としては、液晶を用いたアクティブマトリクス液晶表示装置の場合を示したが、EL、エレクトロクロミックなどを用いたアクティブマトリクス表示装置においても本発明は適用できる。本発明で用いる薄膜トランジスタとしては、アモルファスシリコン、ポリシリコン、Teなどを半導体材料としてもちいた。絶縁ゲート電界効果型トランジスタが一般的である。また、表示方式としては、白黒表示のみでなく、カラーフィルターを用いた液晶のカラー表示の場合にも本発明が適用できることは明らかである。

【発明の効果】

この発明は以上説明したように、映像信号駆動回路を複数に分割することにより、入力端子数は大幅に増加しないまま、映像信号駆動回路のクロック周波数を大幅に減少することができて、動作速度の遅い薄膜トランジスタを用いても、駆動回路をアクティブマトリクス表示装置と同じ基板の上に内蔵したアクティブマトリクス表示装置を実現出来る効果がある。

4. 図面の簡単な説明

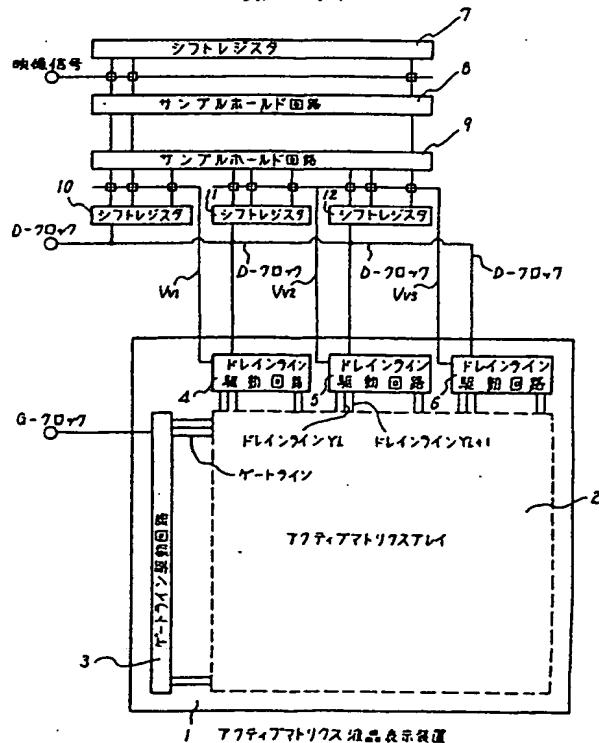
第1図は、この発明にかかるアクティブマトリクス液晶表示装置の回路図、第2図は、従来のアクティブマトリクス液晶表示装置の回路図、第3図は、アクティブマトリクスアレイの等価回路図である。

- 1 ----- アクティブマトリクス液晶表示装置
- 2 ----- アクティブマトリクスアレイ
- 3 ----- ゲートライン駆動回路
- 4, 5, 6 ----- ドレインライン駆動回路

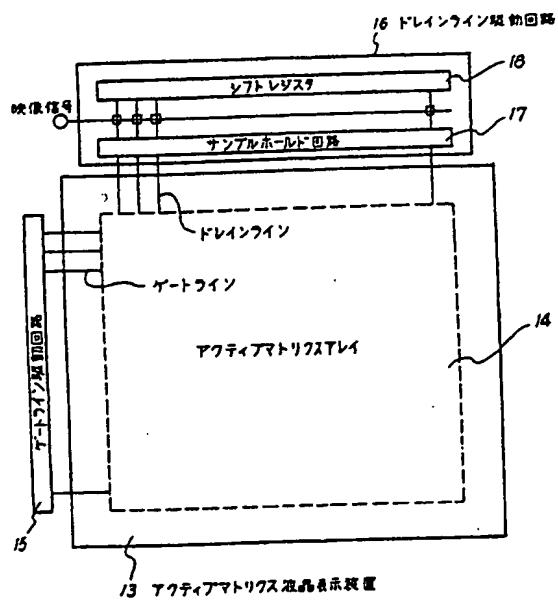
Y_i, Y_{i+1} ----- ドレインライン

以上

第1図



第2図



第3図

